

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-37800

(43)公開日 平成11年(1999) 2月12日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

G 0 1 D 5/36

G 0 1 D 5/36

R

5/245

1 0 2

5/245

1 0 2 T

5/249

5/249

D

H 0 3 M 1/24

H 0 3 M 1/24

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21)出願番号

特願平9-190942

(22)出願日

平成9年(1997) 7月16日

(71)出願人 000167288

光洋電子工業株式会社

東京都小平市天神町1丁目171番地

(72)発明者 高野 惣一

東京都小平市天神町1丁目171番地 光洋  
電子工業株式会社内

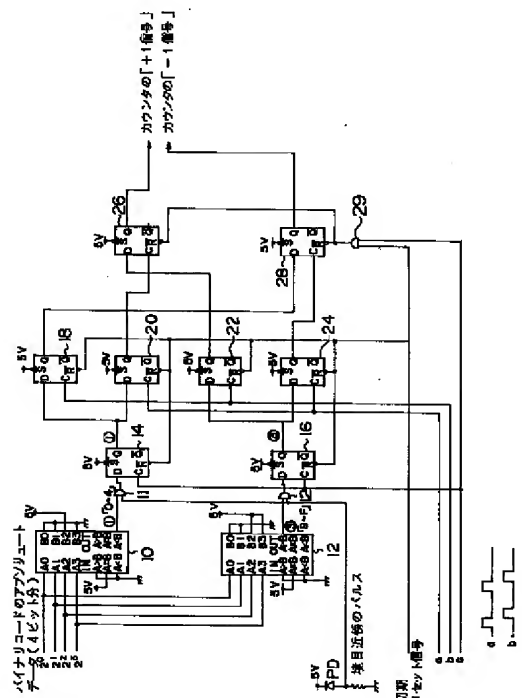
(74)代理人 弁理士 佐々木 宗治 (外3名)

(54)【発明の名称】 アブソリュートエンコーダ

(57)【要約】

【課題】 検出可能な最高回転数を高くすることができ、且つの省電力化を可能にしたアブソリュートエンコーダを提供する。

【解決手段】 アブソリュートデータの内、LSBの4ビット分のデータについて、「0~4」を第1のデータ領域とし、「B~F」を第2のデータ領域とし、入力されたデータが第1のデータ領域又は第2のデータ領域に属するかどうかを判断して、それに対応した信号を出力する大小一致検出回路10、12と、その信号及び境界付近傍のパルスに基づいて原点位置の回転方向を検出して、停電時にバックアップされるカウンタに「+1信号」又は「-1信号」を出力するフリップフロップ回路群とを備え、そして、それらを停電時にパルス駆動する。



## 【特許請求の範囲】

【請求項1】 発光素子、該発光素子に対してスリット板を介して対向配置され、アブソリュートデータを生成する受光素子、及び該受光素子に後続するアナログ回路を備え、停電時にこれらをパルス駆動するアブソリュートエンコードにおいて、

回転スリット板の原点位置を含むその近傍の光信号を受光して境目近傍のパルスを生成する境目検出用の受光素子と、  
前記アブソリュートデータの内、下位の所定ビット数のデータについて、原点位置から所定値増加した値までを第1のデータ領域とし、最大値から所定値減少した値までを第2のデータ領域とし、入力された下位の所定ビット数のアブソリュートデータが第1のデータ領域又は第2のデータ領域に属するかどうかを判断して第1のデータ領域の出力又は第2のデータ領域の出力を出力するデータ領域判断回路と、

前記第1のデータ領域の出力及び前記第2のデータ領域の出力をそれぞれ入力して記憶するとともに、その出力と前記境目近傍のパルスとに基づいて原点位置の回転方向を検出して、停電時にバックアップされるカウンタに加算信号又は減算信号を出力する回転方向検出回路とを備え、そして、前記発光素子の内下位ビット側の発光素子、前記境目検出用の受光素子、前記データ領域判断回路及び前記回転方向検出回路を停電時にパルス駆動することを特徴とするアブソリュートエンコード。

【請求項2】 前記回転方向検出回路は、前記第1のデータ領域の出力及び第2のデータ領域の出力を前記境目近傍のパルスによりそれぞれ導通させるゲート回路と、第1のデータ領域の出力を信号cによりラッチする第1のラッチ回路と、第2のデータ領域の出力を信号cによりラッチする第2のラッチ回路と、前記第1のラッチ回路の出力を信号bによりラッチする第3のラッチ回路と、前記第1のラッチ回路の出力を信号aによりラッチする第4のラッチ回路と、前記第2のラッチ回路の出力を信号bによりラッチする第5のラッチ回路と、前記第2のラッチ回路の出力を信号aによりラッチする第6のラッチ回路と、前記第5のラッチ回路の出力を前記第4のラッチ回路の出力によりラッチしてカウンタに加算信号を送出する第7のラッチ回路と、前記第3のラッチ回路の出力を前記第6のラッチ回路の出力によりラッチしてカウンタに減算信号を送出する第8のラッチ回路とを備え、そして、前記信号a、前記信号b及び前記信号cを、順次、サイクリックに発生して供給することを特徴とする請求項1記載のアブソリュートエンコード。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はマルチターン方式のアブソリュートエンコード、特に、停電時のシャフトの回転量の検出に関する。

## 【0002】

【従来の技術】 この種のアブソリュートエンコードは、バックアップ用の電池が内蔵されており、停電時にはその電池を電源として動作する。ところが、停電時に常に回路を動作させるようにすると消費電流が多くなり電池の消耗が早くなる。そのことを解決する方法として、消費電流の多い発光ダイオード(LED)の点灯回路と、場合によってはそれに加えて、受光部において光電変換して電気信号に変換し、更にその電気信号をコンパレータ回路等により論理レベルに変換するまでのアナログ回路を、デューティの長い(例として、電源供給：無通電＝1：64 ももちろん、通電時は常時駆動される。)パルス電圧で駆動し、シャフトの回転量を検出する方法が提案されている(例えば特願平9-21116号)。

## 【0003】

【発明が解決しようとする課題】 上記において提案されているシャフトの回転量を検出する方法においては、正転方向又は逆転方向の回転方向により1回転した場合には、電源がバックアップされた内部のカウンタを正転で「+1」、逆転で「-1」することによりシャフトの回転量が記憶される。この時、デューティの長いパルス電圧で駆動している為に、アブソリュートデータのパルスを検出できる最高回転数の上限に制約が出てしまう。つまり、デューティが長くなればそれに反比例して最高回転数の上限が下がってしまう、という問題点があった。また、多ビットのアブソリュートエンコードの場合には、全ビットに対応する発光ダイオードLED(又はLED+アナログ回路)をパルス駆動する為(例えば全ビットが12ビット程度の構成の場合には、LEDが数個(2～4個程度)必要となる。)に、停電時の低消費電流化に寄与しない、などの問題点があった。

【0004】 本発明は、このような問題点を解決するためになされたものであり、検出可能な最高回転数を高くすることができ、且つ停電時の省電力化を可能にしたアブソリュートエンコードを提供することを目的とする。

## 【0005】

【課題を解決するための手段】 本発明に係るアブソリュートエンコードは、発光素子、この発光素子に対してスリット板を介して対向配置され、アブソリュートデータを生成する受光素子、及びその受光素子に後続するアナログ回路を備え、停電時にこれらをパルス駆動するアブソリュートエンコードにおいて、回転スリット板の原点位置を含むその近傍の光信号を受光して境目近傍のパルスを生成する境目検出用の受光素子(PD)と、アブソリュートデータの内、下位の所定ビット数(例えば4ビット)のデータについて、原点位置から所定値増加した値までを第1のデータ領域(例えば「0～4」)とし、最大値から所定値減少した値までを第2のデータ領域(例えば「B～F」)とし、入力された下位の所定ビット数のアブソリュートデータが第1のデータ領域又は第

3

2のデータ領域に属するかどうかを判断して第1のデータ領域の出力又は第2のデータ領域の出力を出力するデータ領域判断回路(10, 12)と、第1のデータ領域の出力及び第2のデータ領域の出力をそれぞれ入力して記憶するとともに、その出力と前記境目近傍のパルスとに基づいて原点位置の回転方向を検出して、停電時にバックアップされるカウンタに加算信号又は減算信号を出力する回転方向検出回路とを備え、そして、発光素子の内下位ビット側の発光素子、境目検出用の受光素子、データ領域判断回路及び回転方向検出回路を停電時にパルス駆動する。

【0006】そして、前記の回転方向検出回路は、例えば、第1のデータ領域の出力及び第2のデータ領域の出力を境目近傍のパルスによりそれぞれ導通させるゲート回路(11, 13)と、第1のデータ領域の出力を信号cによりラッチする第1のラッチ回路(14)と、第2のデータ領域の出力を信号cによりラッチする第2のラッチ回路(16)と、第1のラッチ回路の出力を信号bによりラッチする第3のラッチ回路(18)と、第1のラッチ回路の出力を信号aによりラッチする第4のラッチ回路(20)と、第2のラッチ回路の出力を信号bによりラッチする第5のラッチ回路(22)と、第2のラッチ回路の出力を信号aによりラッチする第6のラッチ回路(24)と、第5のラッチ回路の出力を第4のラッチ回路の出力によりラッチしてカウンタに加算信号を送出する第7のラッチ回路(26)と、第3のラッチ回路の出力を前記第6のラッチ回路の出力によりラッチしてカウンタに減算信号を送出する第8のラッチ回路(28)とを備え、そして、信号a、信号b及び信号cを、信号a、信号b及び信号cの順番で、サイクリックに発生させて上記のラッチ回路にそれぞれ供給する。

【0007】

【発明の実施の形態】図1は本発明の一実施形態に係るアブソリュートエンコーダの回路図である。このアブソリュートエンコーダは、図示のように、大小一致検出回路10, 12及びフリップフロップ回路14, 16, 18, 20, 22, 24, 26, 28から構成されている。このアブソリュートエンコーダにおいては、図示を省略したが、複数の発光ダイオードの内、LSBの4ビットに対応する1個の発光ダイオードと、その発光ダイオードに対向して配置された、LSBの4ビット分の受光ダイオードと、図1の各回路には、停電時においてバックアップ用の電池からパルス電圧(但し、デューティが長い)が印加されるものとする。そして、発光ダイオード、回転スリット板のスリット、固定スリット板のスリット及び受光ダイオードを介して得られたLSBの4ビット分のアブソリュートデータは、大小一致検出回路10, 12にそれぞれ供給される。大小一致検出回路10は、アブソリュートデータが「0〜4」の範囲内にあるとき「1」を出力する。大小一致検出回路12は、ア

4

ブソリュートデータが「B〜F」の範囲内にあるとき「1」を出力する。即ち、LSBの4ビット分のデータを、①「0〜4」、②「5〜A」、③「B〜F」の3つに分けている。そして、「0〜4」のときには大小一致検出回路10から「1」の出力が得られ、「B〜F」のときには大小一致検出回路12から「1」の出力が得られるように構成されている。

【0008】また、回転スリット板(図示せず)には、アブソリュートデータの最大値と零との境目付近にスリットを設け、更に、固定スリット板には前記のスリットに対応した位置にスリットを設けて、境目検出用の受光ダイオードPDにより境目近傍のパルスを得ており、そして、この境目近傍のパルスが、上記の「0〜4」の範囲と「B〜F」の範囲とを併せた時間幅よりも幅広になるように、上記のスリット幅を設定している。

【0009】大小一致検出回路10, 12の出力は、境目近傍のパルスとアンド回路11, 13によりアンド論理がとられて、その結果がフリップフロップ回路14, 16にデータ信号として出力される。ここで、アンド回路11, 13による上記のようなアンド論理の演算は、全アブソリュートデータが全体として4ビットを越える場合には(例えば16ビット)、LSBの4ビット分についての「0〜4」及び「B〜F」は何度か現れることになるため、大小一致検出回路10, 12の出力の内境目近傍のものについてのみフリップフロップ回路14, 16のデータ信号として供給するために行っている。

【0010】フリップフロップ回路14, 16は、アンド回路11, 13を介して大小一致検出回路10, 12の出力をデータ信号として入力し、信号cの立ち上がりのタイミングでそのデータ信号をラッチする。フリップフロップ回路14の出力はフリップフロップ回路18, 20にデータ信号として供給され、フリップフロップ回路18は信号bの立ち上がりのタイミングでそのデータ信号をラッチし、フリップフロップ回路20は信号aの立ち上がりのタイミングでそのデータ信号をラッチする。フリップフロップ回路16の出力はフリップフロップ回路22, 24にデータ信号として供給され、フリップフロップ回路22は信号bの立ち上がりのタイミングでそのデータ信号をラッチし、フリップフロップ回路24は信号aの立ち上がりのタイミングでそのデータ信号をラッチする。

【0011】ここで、信号a, b, cは、タイミング用の信号であり、発振回路(図示せず)により高い周波数信号を発生させてその波形を成形することにより生成されている(その周波数はパルス電圧(駆動電圧)よりも十分高い周波数である)。そして、信号a, b, cのタイミング周期の間に上記の①「0〜4」、③「B〜F」のデータが変化すると回転方向が判別できなくなるので、例えば、図示のように、信号cの立ち上がりのタイミングでフリップフロップ回路14, 16により①「0

5

～4」、③「B～F」の信号をラッチし、信号cの立ち上がりから次の立ち上がりまで同一データを次段に送出するようにしている。

【0012】フリップフロップ回路18の出力はフリップフロップ回路28にデータ信号として供給され、フリップフロップ回路の20の出力はフリップフロップ回路26にクロック信号として供給され、フリップフロップ回路22の出力はフリップフロップ回路26にデータ信号として供給され、フリップフロップ回路24の出力はフリップフロップ回路28にクロック信号として供給さ

れる。そして、フリップフロップ回路26の出力はカウンタの「+1信号」を出力し、フリップフロップ回路28の出力はカウンタの「-1信号」を出力する。

【0013】初期リセット信号は、フリップフロップ回路14、16、18、20、22、24、26、28にそれぞれ供給されており、初めて電源投入した時に、これらのフリップフロップ回路、カウンタ（図示せず）等を初期値にリセットする。電源投入時以外に、他の指令信号でリセットするように構成しても良い。ここでは、説明の都合上既にリセットされているものとして説明する。なお、フリップフロップ回路26、28について

は、初期リセット信号の他に信号cによりリセットされるように、アンド回路29により初期リセット信号と信号cとのアンド論理を求めて、その結果がリセット信号として供給されている。

【0014】次に、図1のアブソリュートエンコーダの動作を説明する。図2はその動作を示すタイミングチャートである。

(1) 正方向の回転検出について：ここでは、まず、境目近傍のパルスが「1」になっており、LSBの4ビット分のアブソリュートデータが「B～F」の範囲内にいる状態から原点（零）の方向に更に回転する状態について説明する。この状態においては、大小一致検出回路10の出力は「0」、大小一致検出回路12の出力は「1」となっており、それらの出力はアンド回路11、13を介してフリップフロップ回路14、16にデータ信号として供給される。フリップフロップ回路14は信号cの立ち上がりのタイミングでその出力「0」をラッチし、フリップフロップ回路16は信号cの立ち上がりのタイミングでその出力「1」をラッチする。このため、フリップフロップ回路14の後段に位置するフリップフロップ回路18、20は信号a、bのタイミングで「0」をラッチすることになる。フリップフロップ回路16の出力はフリップフロップ回路22、24にデータ信号として供給され、フリップフロップ回路24は信号aの立ち上がりのタイミングでその信号をラッチし、フリップフロップ回路22は信号bの立ち上がりのタイミングでその信号をラッチする。これによりフリップフロップ回路22、24の出力はいずれも「1」となる。

【0015】フリップフロップ回路26は、フリップフ

6

ロップ回路の22の出力「1」がデータ信号として供給されるが、フリップフロップ回路20の出力は「0」であり、クロック信号が供給されないことから、その出力は「0」のままであり、「+1信号」がカウンタに出力されることはない。フリップフロップ回路28は、フリップフロップ回路の18の出力「0」がデータ信号として供給され、フリップフロップ回路24の出力「1」がクロック信号として供給されることから、その出力は「0」のままであり、「-1信号」がカウンタに出力されることはない。そして、この状態において信号a、b、cが連続して供給されても上記のフリップフロップ回路の出力は変化せず、同一の状態が保持されることになる。

【0016】次に、シャフトが更に回転してLSBの4ビット分のアブソリュートデータが「0～4」の範囲になると、この状態においては、大小一致検出回路10の出力は「1」、大小一致検出回路12の出力は「0」となり、それらの出力はアンド回路11、13を介してフリップフロップ回路14、16にデータ信号として供給される。フリップフロップ回路14は信号cの立ち上がりのタイミングでその出力「1」をラッチし、フリップフロップ回路16は信号cの立ち上がりのタイミングでその出力「0」をラッチする。そして、フリップフロップ回路14の出力「1」はフリップフロップ回路18、20にデータ信号として供給され、フリップフロップ回路20は信号aの立ち上がりのタイミングでその信号をラッチし、フリップフロップ回路18は信号bの立ち上がりのタイミングでその信号をラッチする。これによりフリップフロップ回路18、20の出力はいずれも

「1」となる。また、フリップフロップ回路16の出力「0」はフリップフロップ回路22、24にデータ信号として供給され、フリップフロップ回路24は信号aの立ち上がりのタイミングでその信号をラッチし、フリップフロップ回路22は信号bの立ち上がりのタイミングでその信号をラッチする。このため、フリップフロップ回路22、24はいずれも「1」となる。

【0017】フリップフロップ回路26は、フリップフロップ回路の22の出力がデータ信号として供給されるが、この出力は、信号bの立ち上がりのタイミングでデータ信号「0」をラッチするまでは「1」になっており、そして、フリップフロップ回路20は信号aの立ち上がりのタイミングでフリップフロップ回路14の出力「1」をラッチしてそれをフリップフロップ回路26にクロック信号として送り出している。このため、フリップフロップ回路26は、信号aの立ち上がりのタイミングで、フリップフロップ回路の22の出力「1」をラッチして、カウンタに「+1信号」を送出する。そして、フリップフロップ回路26は信号cによりリセットされ、それ以降は「0」になる。

【0018】また、フリップフロップ回路24は信号a

50

の立ち上がりのタイミングでフリップフロップ回路16の出力「0」をラッチして、それをフリップフロップ回路28にクロック信号として供給しているので、フリップフロップ回路18の出力「1」がデータ信号として供給されても、それをラッチしないので、フリップフロップ回路28の出力は「0」のままとなっており、カウンタに「-1信号」が送出されることはない。そして、この状態において信号a, b, cが連続して供給されても上記のフリップフロップ回路の出力は変化せずに同一の状態が保持され、また、更にシャフトが回転し続けても、再び境目の近傍に到達するまでは、同一の状態が保持されることになる。

【0019】(2)逆方向の回転検出について：まず、境目近傍のパルスが「1」になっており、アブソリュートデータが「0~4」の範囲内にある状態から原点方向に更に回転する状態について説明する。この状態においては、大小一致検出回路10の出力は「1」、大小一致検出回路12の出力は「0」となっており、それらの出力はアンド回路11, 13を介してフリップフロップ回路14, 16にデータ信号として供給される。フリップフロップ回路14は信号cの立ち上がりのタイミングでその出力「1」をラッチし、フリップフロップ回路16は信号cの立ち上がりのタイミングでその出力「0」をラッチする。このため、フリップフロップ回路16の後段に位置するフリップフロップ回路22, 24は「0」をラッチすることになる。フリップフロップ回路14の出力はフリップフロップ回路18, 20にデータ信号として供給され、フリップフロップ回路20は信号aの立ち上がりのタイミングでその信号をラッチし、フリップフロップ回路18は信号bの立ち上がりのタイミングでその信号をラッチする。これによりフリップフロップ回路18, 20の出力はいずれも「1」となる。

【0020】フリップフロップ回路26は、フリップフロップ回路の22の出力「0」がデータ信号として供給され、フリップフロップ回路20の出力「1」がクロック信号として供給されることから、出力「0」をラッチするので、その出力は「0」のままであり、「+1信号」がカウンタに出力されることはない。また、フリップフロップ回路28は、フリップフロップ回路の18の出力「1」がデータ信号として供給され、フリップフロップ回路24の出力「0」がクロック信号が供給されることから、その出力は「0」のままであり、「-1信号」がカウンタに出力されることはない。そして、この状態において信号a, b, cが連続して供給されても上記のフリップフロップ回路の出力は変化せず、同一の状態が保持される。

【0021】次に、シャフトが更に回転してLSBの4ビット分のアブソリュートデータが「B~F」の範囲になると、この状態においては、大小一致検出回路10の出力は「0」、大小一致検出回路12の出力は「1」と

なり、それらの出力はアンド回路11, 13を介してフリップフロップ回路14, 16にデータ信号として供給される。フリップフロップ回路14は信号cの立ち上がりのタイミングでその出力「0」をラッチし、フリップフロップ回路16は信号cの立ち上がりのタイミングでその出力「1」をラッチする。そして、フリップフロップ回路14の出力「0」はフリップフロップ回路18, 20にデータ信号として供給され、フリップフロップ回路18は信号aの立ち上がりのタイミングでその信号をラッチし、フリップフロップ回路20は信号bの立ち上がりのタイミングでその信号をラッチする。これによりフリップフロップ回路18, 20の出力はいずれも「0」となる。また、フリップフロップ回路16の出力「1」はフリップフロップ回路22, 24にデータ信号として供給され、フリップフロップ回路24は信号aの立ち上がりのタイミングでその信号をラッチし、フリップフロップ回路22は信号bの立ち上がりのタイミングでその信号をラッチする。このため、フリップフロップ回路22, 24はいずれも「1」となる。

【0022】フリップフロップ回路26は、フリップフロップ回路の22の出力「1」が信号bの立ち上がりのタイミングでデータ信号として供給されるが、フリップフロップ回路20の出力「0」が信号aの立ち上がりのタイミングでクロック信号として供給されるので、そのデータ信号「1」はラッチされず、フリップフロップ回路26の出力は「0」のままとなっている。このため、カウンタに「+1信号」が送出されることはない。

【0023】また、フリップフロップ回路28には、フリップフロップ回路18の出力がデータ信号として供給されるが、これは信号bの立ち上がりのタイミングでデータ信号「0」をラッチするまでは「1」になっている。そして、フリップフロップ回路24は信号aの立ち上がりのタイミングでフリップフロップ回路16の出力「1」をラッチして、それをフリップフロップ回路28にクロック信号として送り出している。このため、フリップフロップ回路28は、信号aの立ち上がりのタイミングで、フリップフロップ回路の18の出力「1」をラッチして、カウンタに「-1信号」を送出する。そして、フリップフロップ回路28は信号cによりリセットされて、それ以降は「0」になる。そして、この状態において信号a, b, cが連続して供給されても上記のフリップフロップ回路の出力は変化せず同一の状態が保持される。また、更にシャフトが回転し続けても、再び境目の近傍に到達するまでは、同一の状態が保持される。

【0024】(3)シャフトが「B~F」の範囲から逆転する場合について：この場合には、LSBの4ビット分のアブソリュートデータ「B~F」の範囲から「5~A」の範囲に移行することになるので、大小一致検出回路10, 12のいずれも「0」となり、その結果、上述のフリップフロップ回路18, 20, 22, 24, 2

10

20

30

40

50

6, 28の出力はいずれも「0」となり、そして、フリップフロップ回路18, 20の出力についてはそれ以前から「0」であるから、「+1信号」及び「-1信号」のいずれも出力されることはない。

【0025】(4) 境目以外の領域においてLSBの4ビット分のアブソリュートデータが「B〜F」から「0〜4」に変化したとき又はその逆の場合について：この場合には、境目近傍のパルスは「1」にならないから、大小一致検出回路10, 12の出力はアンド回路11, 13により阻止され、後段のフリップフロップ回路に影響を与えないことから、「+1信号」及び「-1信号」のいずれも出力されることはない。

【0026】本実施形態においては、以上の動作説明からも明らかなように、アブソリュートデータの内、LSBの4ビット分のデータだけで回転方向を判断することができ、停電保持（バックアップ）したカウンタに回転数を記憶させることができる。更に、停電時に発光ダイオードLEDをパルス点灯する時に、その周期内にそのビット分に対応した識別ができれば良いので、1パルス毎の変化に対応するのでは無く、本実施形態の場合には5パルス毎の変化に対応すれば良いので、5倍の回転速度に対応することができる。また、この回路方式は、停電時のパルス駆動から、通電時の直流駆動に切り替えるだけでよく、回転方向を判断するための回路（図1の各回路）そのものを切り替えなくてすむ、という利点がある。

【0027】なお、本実施形態においては、LSBの4ビット分のデータについて比較した例について説明したが、1個の発光ダイオードLEDの光軸面積に見合うだけビット数を増してもよく、そのことにより停電時の回転速度追従性が更に増すことになる。

【0028】

【発明の効果】以上のように本発明によれば、アブソリュートデータの内、下位の所定ビット数のデータについて、原点位置と最大値との間を境として、原点位置から

所定の値までを第1のデータ領域とし、最大値から所定の値減少した値までを第2のデータ領域とし、入力された下位の所定ビット数のアブソリュートデータが第1のデータ領域又は第2のデータ領域に属するかどうかを判断して、そして、第1のデータ領域の出力、第2のデータ領域の出力及び境目近傍のパルスに基づいて原点位置の回転方向を検出して、カウンタに加算信号又は減算信号を出力するようにしたので次のような効果が得られる。

(1) アブソリュートデータの全ビットを確認するのではなく、下位の所定ビット数を確認するだけで足りることから、そのための回路も小規模となり、発光素子の駆動数も少なく済み、停電時の省電力化が実現されている。このため、バックアップ用の電池の長寿命化が図られる。

(2) また、アブソリュートデータの下位の所定ビット数のデータが第1のデータ領域又は第2のデータ領域の範囲内にあるかどうかを判断すれば良いので、従来のように1ビット単位で比較する場合に比べて、同じパルス駆動周期でも、数倍の回転速度に対応できる。このことはまた、同じ回転速度であれば、従来に比べてデューティの長いパルス電圧により駆動できることを意味するから、この点からも停電時の省電力化が図られているといえる。

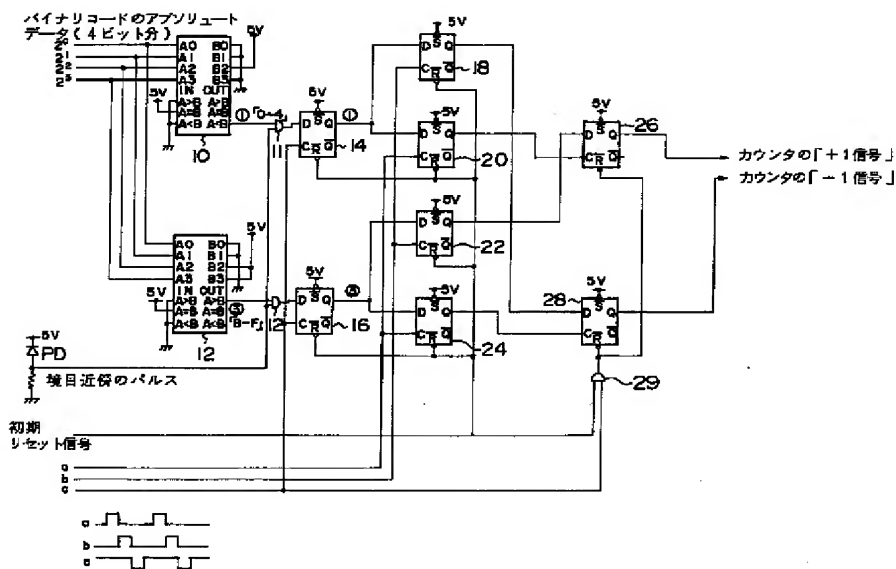
(3) 更に、通常通電時に発光素子及びアナログ回路を直流で駆動するように切り替えた場合でも、回転方向判別回路は、停電時にも、通常通電時にも同じ回路で（回路構成を切り替える事無く）対応でき、その判別精度は全く同じである。

【図面の簡単な説明】

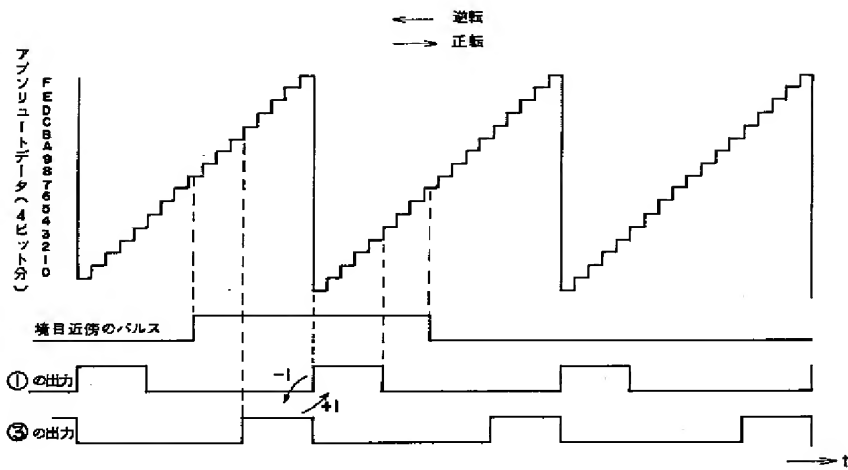
【図1】本発明の一実施形態に係るアブソリュートエンコードの回路図である。

【図2】図1のアブソリュートエンコードの動作を示すタイミングチャートである。

【図 1】



【图2】



**DERWENT-ACC-NO:** 1999-193940

**DERWENT-WEEK:** 200558

*COPYRIGHT 2008 DERWENT INFORMATION LTD*

**TITLE:** Absolute encoder for e.g.  
multiturn system has rotation  
direction detector circuit that  
determines rotation direction  
based on data area outputs and  
pulse near boundary line, to  
output addition or subtraction  
signals for performing drive  
pulse

**INVENTOR:** TAKANO S

**PATENT-ASSIGNEE:** KOYO ELECTRONICS IND CO LTD  
[KOYON]

**PRIORITY-DATA:** 1997JP-190942 (July 16, 1997)

**PATENT-FAMILY:**

<b>PUB-NO</b>	<b>PUB-DATE</b>	<b>LANGUAGE</b>
JP 11037800 A	February 12, 1999	JA
JP 3689831 B2	August 31, 2005	JA

**APPLICATION-DATA:**



PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 11037800A	N/A	1997JP- 190942	July 16, 1997
JP 3689831B2	Previous Publ	1997JP- 190942	July 16, 1997

**INT-CL-CURRENT:**

TYPE	IPC DATE
CIPP	G01D5/36 20060101
CIPS	G01D5/244 20060101
CIPS	G01D5/245 20060101
CIPS	G01D5/249 20060101
CIPS	H03M1/24 20060101

**ABSTRACTED-PUB-NO:** JP 11037800 A**BASIC-ABSTRACT:**

NOVELTY - A rotation direction detector circuit detects a rotation direction based on the outputs of data areas and the pulse near a boundary line, to output an addition or subtraction signals for performing a drive pulse for a light emitter, a light receiver and a data area judging circuit during service interruption. DETAILED DESCRIPTION - A light receiver for boundary line detection, receives a light signal from the area of a

rotating slit board to generate a pulse near the boundary line. A first data area increases the number of data of the absolute data, in a lower order. A second data area reduces the number of data of the absolute data, in a lower order. A data area judging circuit judges if the absolute data belongs to the first data area or the second data area.

USE - For e.g. multiturn system.

ADVANTAGE - Ensures small scale circuit and reduces number of light emitter drives by providing rotation direction detector circuit that detects rotation direction based on data area outputs and pulse near boundary line. Prolongs life of back-up battery. Corresponds to rotational speed of pulse drive period and ensures power saving effect during service interruption. Ensures discrimination accuracy of discriminating circuit.

DESCRIPTION OF DRAWING(S) - The figure shows the schematic diagram of an absolute encoder.

**CHOSEN-DRAWING:** Dwg.1/2

**TITLE-TERMS:** ABSOLUTE ENCODE MULTITURN SYSTEM  
ROTATING DIRECTION DETECT CIRCUIT  
DETERMINE BASED DATA AREA OUTPUT  
PULSE BOUNDARY LINE ADD SUBTRACT  
SIGNAL PERFORMANCE DRIVE

**DERWENT-CLASS:** S02 U21

**EPI-CODES:** S02-K03A; S02-K03B; U21-A03J;

**SECONDARY-ACC-NO:**

**Non-CPI Secondary Accession Numbers:** 1999-142231

